

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017444

(43)Date of publication of application : 17.01.2003

(51)Int.Cl. H01L 21/304
B24B 9/00
B24B 49/12

(21)Application number : 2001-198656 (71)Applicant : SUMITOMO MITSUBISHI SILICON CORP

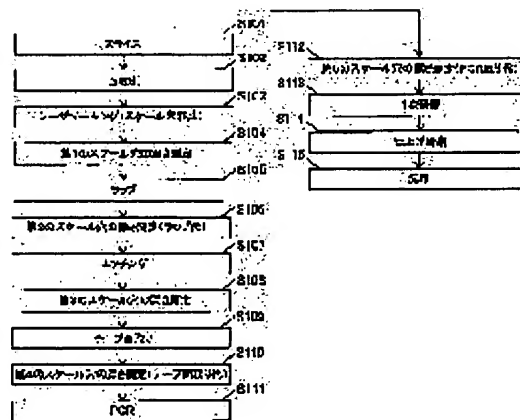
(22)Date of filing : 29.06.2001 (72)Inventor : WAKAHARA HIROSHI
KIMOTO TSUTOMU
IKEUCHI TAKAHIRO

(54) METHOD AND APPARATUS FOR MEASURING WORKING MARGIN OF SEMICONDUCTOR WAFER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method and an apparatus for measuring working margin of a semiconductor wafer with high accuracy management of the working margin of the wafer.

SOLUTION: The method for measuring the working margin of the semiconductor wafer comprises the steps of forming scale holes S1, S2 for measuring a depth at a chamfered part of a silicon wafer W; thereafter working as prescribed at the chamfered part of the wafer W. The method further comprises a step of measuring the depths of the holes S1, S2 of the wafer W, before and after the working; and a step of calculating margin from the difference of the depths of the holes S1, S2. Thus, accurate working of the wafer W, which has been heretofore difficult, can be managed.



[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-17444

(P2003-17444A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 21/304	6 2 1	H 0 1 L 21/304	6 2 1 E 3 C 0 3 4
B 2 4 B 9/00	6 0 1	B 2 4 B 9/00	6 0 1 H 3 C 0 4 9
49/12		49/12	

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願2001-199656 (P2001-199656)

(22) 出願日 平成13年6月29日 (2001.6.29)

(71) 出願人 302008854

三菱住友シリコン株式会社

東京都港区芝浦一丁目2番1号

(72) 発明者 若坂 浩

東京都千代田区大手町1丁目5番1号 三

菱マテリアルシリコン株式会社内

(72) 発明者 木本 勉

東京都千代田区大手町1丁目5番1号 三

菱マテリアルシリコン株式会社内

(74) 代理人 100094215

弁理士 安倍 逸郎

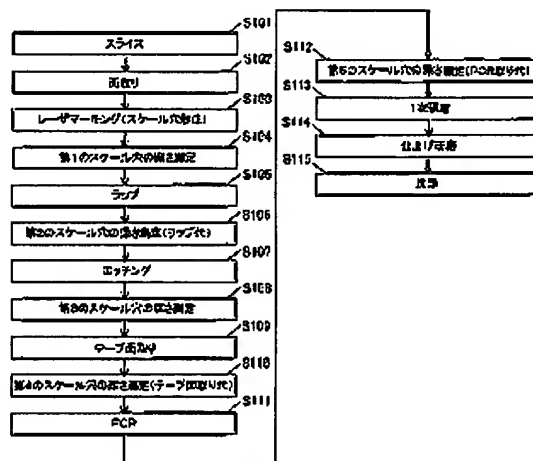
最終頁に続く

(54) 【発明の名称】 半導体ウェーハの加工取り代の測定方法およびその装置

(57) 【要約】

【課題】 半導体ウェーハの加工取り代を高精度に管理する半導体ウェーハの加工取り代の測定方法およびその装置を提供する。

【解決手段】 シリコンウェーハWの面取り部に、深さ測定用のスケール穴S1、S2を形成し、その後、シリコンウェーハWの面取り部に所定の加工を施す。そして、この加工の前後において、シリコンウェーハWのスケール穴S1、S2の深さを測定する。次いで、この深さの差から、その加工の取り代を算出する。これにより、従来では困難とされていたシリコンウェーハWの高精度な加工取り代の管理を行うことができる。



【特許請求の範囲】

【請求項1】 加工取り代を伴う加工を施す前の半導体ウェーハの被加工取り代部に、底面を有する深さ測定用のスケール穴を形成する工程と、

この加工前のスケール穴の深さを測定する工程と、

上記加工を半導体ウェーハに施す工程と、

加工後の上記スケール穴の深さを測定する工程と、

上記加工前のスケール穴の深さから上記加工後のスケール穴の深さを減算して上記加工取り代を求める工程とを備えた半導体ウェーハの加工取り代の測定方法。

【請求項2】 上記スケール穴が、半導体ウェーハの面取り部の斜面およびまたは先端面に形成された請求項1に記載の半導体ウェーハの加工取り代の測定方法。

【請求項3】 上記スケール穴が、レーザマーキングにより形成された請求項1または請求項2に記載の半導体ウェーハの加工取り代の測定方法。

【請求項4】 加工取り代を伴う加工を施す前の半導体ウェーハの被加工取り代部に、底面を有する深さ測定用のスケール穴を形成するスケール穴形成手段と、

上記半導体ウェーハに、上記加工を施すウェーハ加工手段と、

加工前の上記スケール穴の深さおよび加工後のこのスケール穴の深さを測定する深さ測定手段とを備え、

上記加工前のスケール穴の深さから上記加工後のスケール穴の深さを減算して上記加工取り代を求める半導体ウェーハの加工取り代の測定装置。

【請求項5】 上記スケール穴形成手段が、半導体ウェーハの被加工取り代部をレーザマーキングするレーザマーカである請求項4に記載の半導体ウェーハの加工取り代の測定装置。

【請求項6】 上記深さ測定手段がレーザ顕微鏡である請求項4または請求項5に記載の半導体ウェーハの加工取り代の測定装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体ウェーハの加工取り代の測定方法およびその装置、詳しくは半導体ウェーハの加工取り代を高精度に管理する半導体ウェーハの加工取り代の測定方法およびその装置に関する。

【0002】

【従来の技術】従来の標準的な半導体ウェーハの加工プロセスの一例を、図4を参照して説明する。図4は、従来手段に係る半導体ウェーハの製造方法を示すフローシートである。まず、スライス工程（S401）では、ブロック切断後のインゴットをスライスし、シリコンウェーハを得る。次いで、面取り工程（S402）では、シリコンウェーハの外周部に面取りを施す。ここでは、#800の砥粒を結合材によって結合した粗面取り砥石を使用し、100μm程度の加工取り代となるように研削した後、#1500の砥粒を結合材によって結合した仕

上げ面取り砥石を使用し、10μm程度の加工取り代となるように研削する。続くラップ工程（S403）では、ラップ盤により、シリコンウェーハの表裏両面をラッピングする。ここでは、通常、片面で20〜50μm、両面で40〜100μm程度がラッピングされる。

【0003】その後、シリコンウェーハを、所定のエッチング液（硫酸またはアルカリ+硫酸）に浸漬し、ラップ時のひずみ、面取り時のひずみなどを除去する（S404）。その場合、通常、片面で20μm、両面で40μmをエッチングする。それから、シリコンウェーハの外周面およびノッチ部にテープ面取りが施される（S405）。すなわち、固定砥粒が表面に付着したテープを所定の緊張状態でウェーハ外周面およびノッチ部に押しつける。そして、純水を流しながらテープを緩動させ、これらのウェーハ外周部およびノッチ部を面取りする。次のPCR（Polishing Corner Rounding）工程（S406）では、シリコンウェーハの表裏両面をチャックに吸着した状態で、ウェーハ外周部にPCR加工を施す。PCR加工では、面取り面がスラリーと研磨布により鏡面仕上げされる。ここでの加工取り代は、通常、片面で1.0〜3.0μm、両面で2.0〜6.0μmである。

【0004】続く1次研磨工程（S407）では、両面研磨装置を使用し、シリコンウェーハの表裏両面を1〜5μm研磨する。こうして、エッチング後のシリコンウェーハの歪みを除去したり、PCR加工で発生したシリコンウェーハの吸着面のあれなどが除去される。次の仕上げ研磨工程（S408）では、PCR加工時の吸着・保持面が、1μm以下の研磨量で仕上げ研磨される。その後、最終洗浄（S409）および検査が施されて、受注先のデバイスメーカーなどへ出荷される。

【0005】

【発明が解決しようとする課題】ところで、上記シリコンウェーハの面取り工程（S402）、PCR工程（S406）では、例えば砥弾形などに、シリコンウェーハの外周部が面取りされている。この面取り面には、面取り時、ウェーハ中心線を中心として周方向へ延びた多数本のスジ（研削条痕）が発生していた。また、ビットも発生していた。これらのスジ不良、ビット不良の発生のメカニズムを究明するには、面取り部の面状態と、加工取り代との調査が不可欠である。しかしながら、従来にあっては、レーザ顕微鏡を使って面取り部の面状態を検査する技術が知られているだけで、面取り部の取り代を正確に測定する技術は開発されていなかった。

【0006】そこで、発明者は、長期にわたる鋭意研究の結果、ウェーハ面取り部に、底面を有する深さ測定用のスケール穴を形成し、このスケール穴の面取り加工の前後の深さの差またはPCR加工の加工前後の深さの差から、その際の加工取り代を正確に求めることができることを知見し、この発明を完成させた。

【0007】

【発明の目的】この発明は、半導体ウェーハの加工取り代を高精度に管理することができる半導体ウェーハの加工取り代の測定方法およびその装置を提供することを、その目的としている。

【0008】

【課題を解決するための手段】請求項1に記載の発明は、半導体ウェーハの被加工取り代部に、底面を有する深さ測定用のスケール穴を形成する工程と、加工前のこのスケール穴の深さを測定する工程と、加工取り代が発生する加工を半導体ウェーハに施す工程と、加工後の上記スケール穴の深さを測定する工程と、上記加工前のスケール穴の深さから上記加工後のスケール穴の深さを減算して上記加工取り代を求める工程とを備えた半導体ウェーハの加工取り代の測定方法である。

【0009】半導体ウェーハとしては、シリコンウェーハ、ガリウム砒素ウェーハなどがある。被加工取り代部としては、半導体ウェーハの平坦な表面部、裏面部だけでなく、傾斜面を有する面取り部などが挙げられる。このスケール穴は、半導体ウェーハの被加工取り代部を貫通しない深さの穴である。スケール穴は、半導体ウェーハの平坦な表面部だけに形成してもよいし、このウェーハの裏面部だけに形成してもよい。さらに、このウェーハの表面部と裏面部との両方に形成してもよい。そして、この半導体ウェーハの面取り部に形成してもよい。スケール穴の直径は限定されない。例えば、50～200 μ mである。スケール穴の深さは限定されない。例えば、50～200 μ mである。スケール穴の形成数も限定されない。被加工取り代部に1つ形成してもよいし、複数形成してもよい。

【0010】スケール穴の深さを測定する測定機器も限定されない。例えば、レーザ顕微鏡などが挙げられる。半導体ウェーハの外周部の斜面上に形成されたスケール穴の深さの測定は、通常、スケール穴の中心線上での測定となる。ただし、これには限定されない。加工取り代を伴う半導体ウェーハの加工（除去加工）の粗度は限定されない。半導体ウェーハの表面と、半導体ウェーハの裏面と、半導体ウェーハの外周面とに施されるさまざまな加工が挙げられる。例えば、面取り、ラッピング、エッチング（ただし、スケール穴の底部に影響を与えないこと）、研削、PCR加工、研磨などが挙げられる。

【0011】請求項2に記載の発明は、上記スケール穴が、半導体ウェーハの面取り部の斜面およびまたは先端面に形成された請求項1に記載の半導体ウェーハの加工取り代の測定方法である。面取り部の斜面は、半導体ウェーハの表面側の斜面だけでもよいし、裏面側の斜面だけでもよい。また、表面側の斜面および裏面側の斜面の両方でもよい。スケール穴は、半導体ウェーハの面取り部の斜面だけに形成してもよいし、この半導体ウェーハの面取り部の先端面だけに形成してもよい。さらには、

半導体ウェーハの面取り部の斜面と先端面との両方に、それぞれスケール穴を形成してもよい。

【0012】請求項3に記載の発明は、上記スケール穴が、レーザマーキングにより形成された請求項1または請求項2に記載の半導体ウェーハの加工取り代の測定方法である。レーザマーキングの粗度は限定されない。浅い穴が形成されるソフトレーザマーキング（マークの深さ0.1～5 μ m）でもよいし、深い穴が形成されるハードレーザマーキング（マーク深さ5～200 μ m）でもよい。通常、被加工取り代部の加工を施しても穴の消失が起きにくいハードレーザマーキングとなる。また、レーザマーキング時のレーザ光線のビーム径、出力、照射時間などの各種の条件は、周知のレーザマーキング（ソフトレーザマークまたはハードレーザマーク）と同じである。使用されるレーザ光線も限定されない。例えば、レーザ加工用のTEACO、レーザ、Nd:YAGレーザ、Nd:YLFレーザ、X線レーザなどが挙げられる。

【0013】請求項4に記載の発明は、半導体ウェーハの被加工取り代部に、底面を有する深さ測定用のスケール穴を形成するスケール穴形成手段と、上記半導体ウェーハに、加工取り代の発生を伴う加工を施すウェーハ加工手段と、加工前の上記スケール穴の深さおよび加工後のこのスケール穴の深さを測定する深さ測定手段とを備え、上記加工前のスケール穴の深さから上記加工後のスケール穴の深さを減算して上記加工取り代を求める半導体ウェーハの加工取り代の測定装置である。スケール穴形成手段は限定されない。例えば、レーザマーカなどが採用される。ウェーハ加工手段は限定されない。例えば、面取り装置、ラッピング装置、エッチング装置、研削装置、PCR装置および研磨装置などが挙げられる。

【0014】請求項5に記載の発明は、上記スケール穴形成手段が、半導体ウェーハの被加工取り代部をレーザマーキングするレーザマーカである請求項4に記載の半導体ウェーハの加工取り代の測定装置である。レーザマーカは、浅い穴を形成するソフトレーザマーカでもよいし、深い穴を形成するハードレーザマーカでもよい。通常は、ハードレーザマーカとなる。

【0015】請求項6に記載の発明は、上記深さ測定手段がレーザ顕微鏡である請求項4または請求項5に記載の半導体ウェーハの加工取り代の測定装置である。

【0016】

【作用】この発明によれば、例えば半導体ウェーハの外周部（面取り部）などの半導体ウェーハの露出した部分に、深さ測定用のスケール穴を形成し、その後、半導体ウェーハの露出した部分に所定の加工を施す。そして、この加工の前後において、半導体ウェーハのスケール穴の深さを測定する。次いで、この深さの差から、加工取り代を算出する。これにより、従来にあっては困難とされていた半導体ウェーハの加工取り代を高精度に管理す

ることができる。

【0017】

【発明の実施の形態】以下、この発明の実施例を図面を参照して説明する。図1は、この発明の一実施例に係る半導体ウェーハの加工取り代の測定方法を示すフローシートである。図2(a)は、この発明の一実施例に係る半導体ウェーハの加工取り代の測定装置に組み込まれたレーザマーカの使用状態を示す断面図である。図2

(b)は、この発明の一実施例に係る半導体ウェーハの加工取り代の測定装置に組み込まれたレーザ顕微鏡の使用状態を示す断面図である。図3(a)は、この発明の一実施例に係る半導体ウェーハの加工取り代の測定方法におけるウェーハ表面部の加工取り代の求め方を示す断面図である。図3(b)は、この発明の一実施例に係る半導体ウェーハの加工取り代の測定方法におけるウェーハ面取り部の加工取り代の求め方を示す断面図である。

【0018】図1に示すように、この実施例にあっては、スライス、面取り、レーザマーキング、第1のスケール穴の深さ測定、ラップ、第2のスケール穴の深さ測定(ラップ取り代の算出)、エッチング、第3のスケール穴の深さ測定、テープ面取り、第4のスケール穴の深さ測定、PCR、第5のスケール穴の深さ測定、1次研磨、仕上げ研磨、洗浄の各工程を経て、表面が鏡面仕上げされた半導体ウェーハが作製される。以下、各工程を詳細に説明する。

【0019】CZ法により引き上げられたシリコンインゴットは、スライス工程(S101)で、ノッチ付きの厚さ860 μ m程度の8インチのシリコンウェーハにスライスされる。ここでは、市販のスライス装置が用いられる。次に、このスライストウェーハは、続く面取り工程(S102)で、その外周部に面取り砥石が押し付けられ、所定の形状に面取りされる(図2参照)。ここでは、市販の面取り装置が採用される。面取り砥石は、粗面取り用の#800のメタルボンド円柱砥石と、仕上げ用の#1500のメタルボンド円柱砥石とを有し、各外周面が研削作用面となっている。シリコンウェーハおよび面取り砥石を、所定の回転速度でそれぞれ回転させて面取りする。面取り量は、それぞれウェーハ半径方向の内側へ向かって粗面取りが100 μ m程度、仕上げ面取りが数10 μ m程度である。これにより、シリコンウェーハの外周部は、所定の丸みを帯びた形状(例えばMOS型の面取り形状)に加工される。

【0020】その後、図2(a)に示すように、シリコンウェーハの表面部の面取り部付近(ノッチ部を含む)と、シリコンウェーハの面取り部の斜面(ノッチ部を含む)とに、それぞれレーザマーカ(スケール穴形成手段)10により周知の条件でハードレーザマーキングが施される(S103)。ここでは、市販のレーザマーカが採用されている。これにより、ウェーハ面

り部の斜面上に、底面を有するスケール穴S1が形成される一方、ウェーハ表面部の面取り部付近に、同じく底面を有するスケール穴S2が形成される。各スケール穴S1、S2のサイズは、それぞれ直径50 μ m、深さ140 μ mである。このように、各スケール穴S1、S2は、ウェーハ面取り部の斜面またはウェーハ表面部の面取り部付近に形成されている。そのため、スケール穴S1、S2が、ウェーハ表面のデバイス形成領域を狭めるおそれはほとんどない。次いで、レーザ顕微鏡(深さ測定手段)11により、各スケール穴S1、S2の深さを測定する(S104、第1のスケール穴の深さ測定)。具体的なレーザ顕微鏡11としては、KEYENCE社製の「超深度形状測定顕微鏡VK-8500」が採用されている。スケール穴S1の深さの測定時には、スケール穴S1の中心線上での深さを測定する。これらの測定結果が、各スケール穴S1、S2の測定基準値となる。

【0021】次に、シリコンウェーハWにラッピングを施し、シリコンウェーハWの表面面の平行度を高める(S105)。このラッピング工程は、シリコンウェーハWを互いに平行なラップ定盤間に配置し、その後、このラップ定盤間に、アルミナ砥粒と分散剤と水の混合物であるラップ液を流し込む。そして、加圧下で回転・摺り合わせを行うことで、シリコンウェーハWの表面面を機械的にラッピングする。ラッピング装置には、市販のものを使用する。また、ここでのラッピングは、ウェーハ面取り部の斜面のスケール穴S1の底部に影響を及ぼさない加工とする。

【0022】次に、ラッピング後のラップドウェーハWのスケール穴S2の深さを、上記レーザ顕微鏡により測定し(第2のスケール穴の深さ測定)、正確なシリコンウェーハWのラップ量を算出する(S106)。図3(b)に示すように、加工前のスケール穴S2の深さをh3、加工後のスケール穴S2の深さをh4とすると、そのラップ量は(h3-h4)の数式から簡単に求められる。続いて、仕上げ面取りされたシリコンウェーハWをエッチングする(S107)。具体的には、フッ酸と硝酸とを混合した混酸液(常温~50℃)中に、シリコンウェーハWを所定時間だけ浸漬する。エッチング装置としては、東京マイクロテック社製の「エッチングマシン」が採用される。エッチング後、ステップ104と同様に、各スケール穴S1、S2の深さを測定する(S108、第3のスケール穴の深さ測定)。エッチングでは、各スケール穴S1、S2の全体がエッチングされるので、加工取り代は算出できない。そのため、ここでの測定結果(ノッチ部を含む)が、各スケール穴S1、S2の再基準値となる。

【0023】それから、シリコンウェーハWのウェーハ外周部およびノッチ部をテープ面取りが施される(S109)。すなわち、固定砥粒が表面に付着したテープを所定の緊張状態でウェーハ外周部およびノッチ部に押し

つける。なお、ノッチ部では、それ以外の外周部に使用するテープに比較して幅の狭いテープを使用する。そして、純水を流しながらこのテープを指動させ、このウェーハ外周部およびノッチ部を面取りする。市販のテープ面取り装置を使用する。次に、ステップS104と同様の作業により、テープ面取り後のノッチ部の斜面に形成されたスケール穴S1の深さを、上記レーザ顕微鏡により測定し（第4のスケール穴の深さ測定）、正確なテープ面取り量を算出する（S110）。図3（a）に示すように、加工前のスケール穴S1の深さを $h1$ 、加工後のスケール穴S1の深さを $h2$ とすると、そのラップ量は $(h1-h2)$ の数式から簡単に求められる。

【0024】そして、テープ面取り後のシリコンウェーハWの外周部（ノッチ部を含む）をPCR加工する（S111）。この加工には、市販の装置が用いられる。すなわち、ここでは円筒形状のウレタンバフをモータ回転させる装置が採用されている。モータによりウレタンバフを回転し、この回転中のバフ外周面にシリコンウェーハWの外周面を接触させ、接触点にはスラリーを供給する。これにより、ウェーハ外周面が鏡面仕上げされる。その際、シリコンウェーハWは、保持板にその片面だけが吸着・保持されている。シリコンウェーハWは、この保持板にホースなどを介して外部接続される負圧発生装置により吸引される。さらに、PCR加工されたウェーハ面取り部の斜面に形成されたスケール穴S1の深さをレーザ顕微鏡により測定し（第4のスケール穴の深さ測定）、加工前のスケール穴S1の深さと加工後のスケール穴S1の深さとを差から、正確なPCR加工の取り代を算出する（S112）。

【0025】続く1次研磨工程（S113）では、両面研磨装置または片面研磨装置を使用し、シリコンウェーハWの表裏両面を1〜5 μ m研磨する。こうして、エッチング後のシリコンウェーハWの歪みを除去したり、PCR加工で発生したシリコンウェーハWの吸着面のあれなどが除去される。その後の仕上げ研磨工程（S114）では、PCR加工時の吸着・保持面が、1 μ m以下の研磨量で仕上げ研磨される。その後、最終洗浄（S115）および検査が施されて、受注先のデバイスメーカーなどへ出荷される。このように、あらかじめシリコンウェーハWの面取り部の斜面にスケール穴S1を形成する一方、このウェーハ表面部の面取り部付近にスケール穴S2を形成し、その後、所定のウェーハ加工の前後における各スケール穴S1、S2の深さの差をそれぞれ算出するようにしたので、従来では困難とされたシリコンウェーハWの面取り部の斜面を含む、シリコンウェーハWの各加工取り代を高精度に管理することができる。

【0026】なお、面取り工程（S102）の前に、あらかじめシリコンウェーハWの面取り部の先端面に、輪線がウェーハ半径方向へ向かったスケール穴S3（図2中の二点鎖線）を形成し、このスケール穴S3を形成す

る前後における穴の深さを測定し、その深さの差を求めれば、面取り工程におけるウェーハ半径方向の加工取り代を高精度に管理することもできる。また、あらかじめ加工取り代を予測し、この予測された加工取り代と同じ深さのスケール穴を形成し、スケール穴が消滅した時点で加工を終えれば、スケール穴が存在しない製品を出荷することができる。

【0027】ここで、実際に、上記各装置および各測定機器を用いて、シリコンウェーハWの外周部に形成されたスケール穴S1、S2について、各加工取り代（(1)ラップ量、(2)テープ面取り量（ノッチ部）、(3)PCR加工量）の算出結果を報告する。

(1) ラップ量

ラップ前のスケール穴S1の深さ141.1 μ m、ラップ後のスケール穴S1の深さ140.3 μ m

（スケール穴S1のラップ量）141.1-140.3=0.8 μ m

ラップ前のスケール穴S2の深さ141.1 μ m、ラップ後のスケール穴S2の深さ140.3 μ m

（スケール穴S2のラップ量）141.1-140.3=0.8 μ m

【0028】(2) テープ面取り量

テープ面取り前のスケール穴S1の深さ123.2 μ m、テープ面取り後のスケール穴S1の深さ112.5 μ m

（スケール穴S1のテープ面取り量）123.2-112.5=10.7 μ m

テープ面取り前のスケール穴S2の深さ105.4 μ m、テープ面取り後のスケール穴S2の深さ90.2 μ m

（スケール穴S2のテープ面取り量）105.4-90.2=15.2 μ m

【0029】(3) PCR加工量

PCR加工前のスケール穴S1の深さ112.5 μ m、PCR加工後のスケール穴S1の深さ112.4 μ m

（スケール穴S1のPCR加工量）112.5-112.4=0.1 μ m

PCR加工前のスケール穴S2の深さ90.2 μ m、PCR加工後のスケール穴S2の深さ86.5 μ m

（スケール穴S2のPCR加工量）90.2-86.5=3.7 μ m

このように、スケール穴S1、S2を利用して正確な加工取り代を求めることができる。

【0030】

【発明の効果】この発明によれば、半導体ウェーハに所定の加工を施す前後に、あらかじめ半導体ウェーハの被加工取り代部に形成されたスケール穴の深さを測定し、その加工前後での深さの差から加工取り代を求めるので、従来にあっては困難とされていた半導体ウェーハの加工取り代を高精度に管理することができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係る半導体ウェーハの加工取り代の測定方法を示すフローシートである。

【図2】(a)は、この発明の一実施例に係る半導体ウェーハの加工取り代の測定装置に組み込まれたレーザーマーカの使用状態を示す断面図である。(b)は、この発明の一実施例に係る半導体ウェーハの加工取り代の測定装置に組み込まれたレーザ顕微鏡の使用状態を示す断面図である。

【図3】(a)は、この発明の一実施例に係る半導体ウェーハの加工取り代の測定方法におけるウェーハ表面部の加工取り代の求め方を示す断面図である。(b) *

*は、この発明の一実施例に係る半導体ウェーハの加工取り代の測定方法におけるウェーハ面取り部の加工取り代の求め方を示す断面図である。

【図4】従来手段に係る半導体ウェーハの製造方法を示すフローシートである。

【符号の説明】

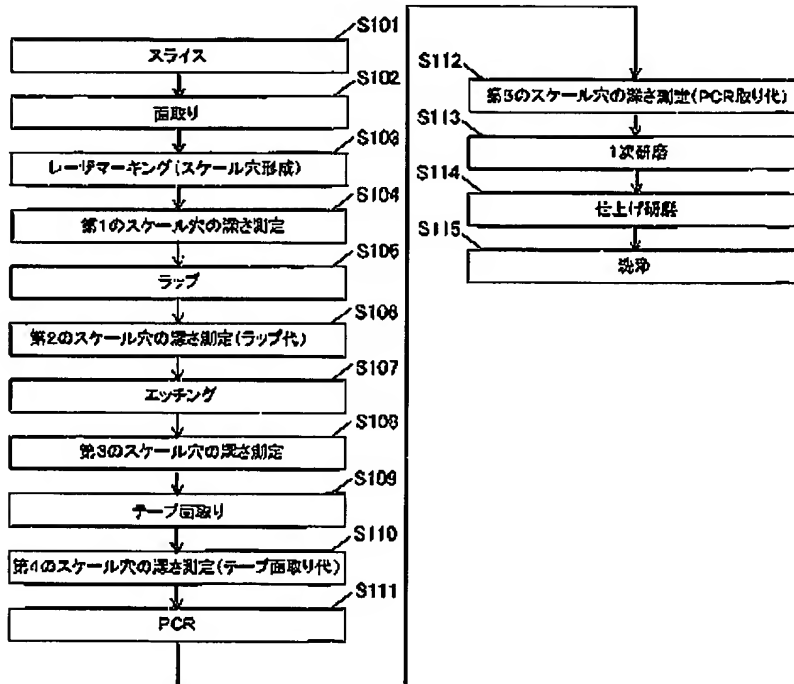
10 レーザマーカ（スケール穴形成手段）。

11 レーザ顕微鏡（深さ測定手段）。

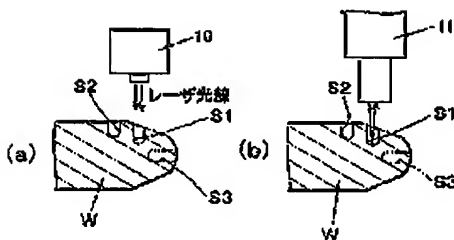
S1、S2、S3 スケール穴、

W シリコンウェーハ（半導体ウェーハ）。

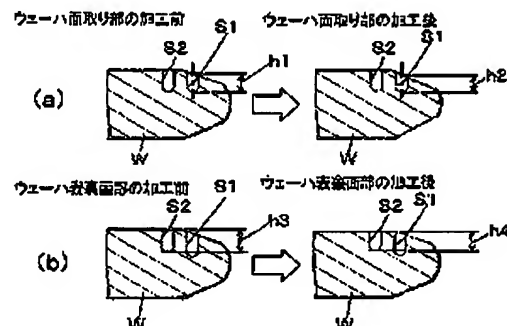
【図1】



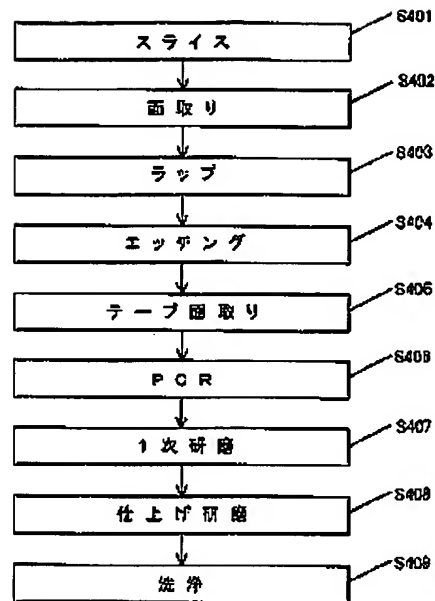
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 池内 隆啓
東京都千代田区大手町1丁目5番1号 三
菱マテリアルシリコン株式会社内

Fターム(参考) 3C034 B693 CA01 CB01 DD01 DD10
3C049 AA02 AC02 BA07 BC02 CA01
CB01 CB03